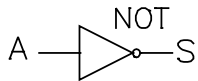
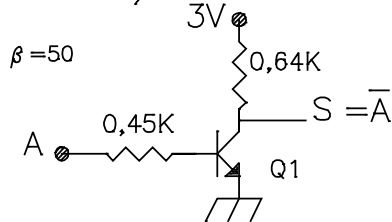


RTL

LOGICA RESISTENCIA TRANSISTOR



(INVERSOR LOGICO)



$A = "0" \Rightarrow V_A = 0V \Rightarrow Q1 \text{ en Corte} \Rightarrow V_S = 3V \Rightarrow S = "1"$

$A = "1" \Rightarrow V_A = 3V \Rightarrow Q1 \text{ en SAT.} \Rightarrow V_S \approx 0,2V \Rightarrow S = "0"$

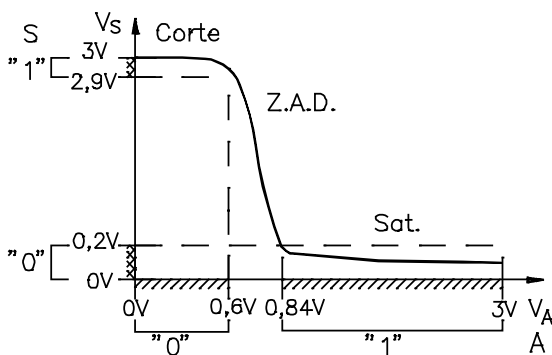
A	V_A	S	V_S
"0"	0V	"1"	3V
"1"	3V	"0"	0,2V

LOGICA POSITIVA

"0" \rightarrow Menor tensión (0V)

"1" \rightarrow Mayor tensión (3V)

CARACTERISTICA de TRANSFERENCIA

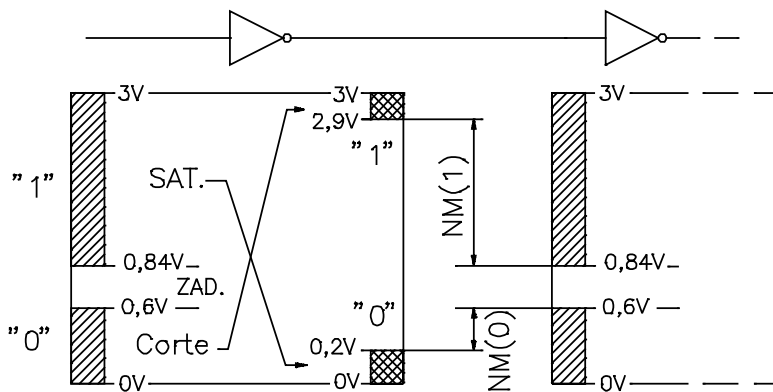


> Si $V_A \in [0V, 0,6V]$ es un "0" de entrada, ya que la salida es aproximadamente 3V ("1")

> Si $V_A \in [0,84V, 3V]$ es un "1" de entrada, ya que la salida es aproximadamente 0,2V ("0")

La tensión umbral V_T es aproximadamente 0,7V, ya que por debajo de este valor la puerta interpreta que la entrada es "0", y por encima como "1"

MARGENES de RUIDO:



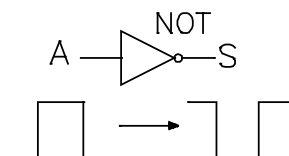
$$NM(1) = 2,06V$$

$$NM(0) = 0,4V$$

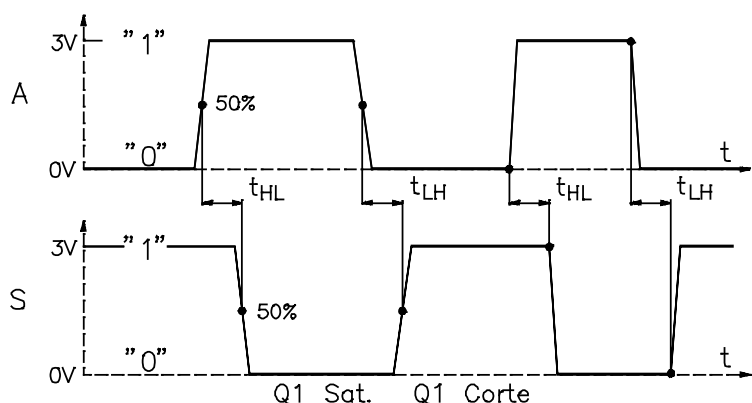
$$NM(1) = (V_{OH} - V_{IH}) = 2,9V - 0,84V$$

$$NM(0) = (V_{IL} - V_{OL}) = 0,6V - 0,2V$$

TIEMPO de RETARDO de PROPAGACION (t_{pd})

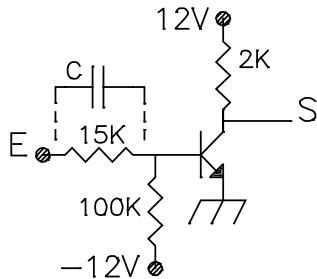


$$t_{pd} = \frac{1}{2}(t_{LH} + t_{HL})$$

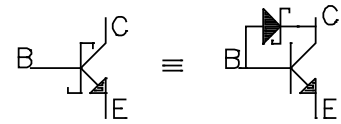


LOS RETARDOS PUEDEN DISMINUIR SI:

- Disminuimos el valor de las Resistencias. Al aumentar las intensidades se mueve más carga en menos tiempo, también provoca un aumento de consumo.
- Se utilizan Transistores más rápidos, por ejemplo transistores Schottky.
- Se mejora el circuito (añadiendo el condensador o la resistencia de 100K).



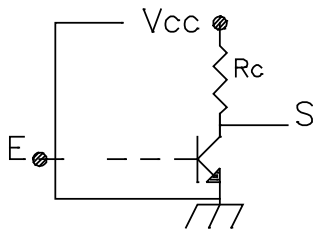
Transistor Schottky:



Diodo Schottky (metal-semiconductor) $V_{\gamma} \approx 0,4V$

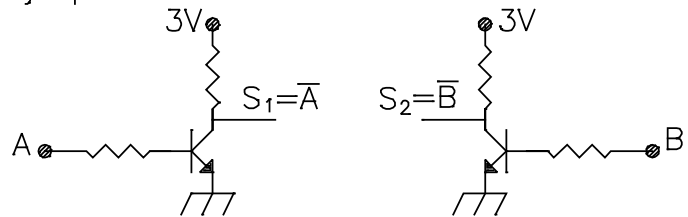
LOGICA Y-CONECTADA o Y-FANTASMA (AND-WIRED)

Válida para todas las puertas que acaben de esta manera:

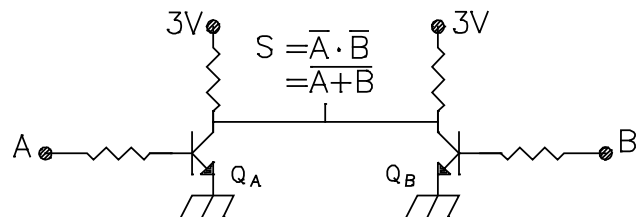


En estas puertas, en las que la salida S está separada de Vcc por una resistencia y de tierra por un transistor, se pueden encontrar versiones sin Rc, llamadas "Open Collector"

Ejemplo:

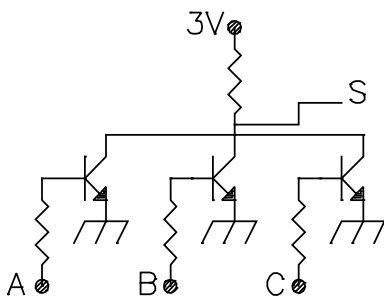


Si se cortocircuita S_1 con S_2 , ya no hay en S ni \bar{A} ni \bar{B} , sino $\bar{A} \cdot \bar{B}$ ($= A+B$)



Puerta NOR de 3 entradas:

Obtenida conectando 3 puertas NOT RTL en Y-Conectada.

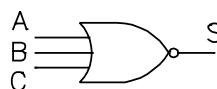


$$S = \bar{A} \cdot \bar{B} \cdot \bar{C} = \overline{A+B+C}$$

Comprobación:
(OFF=Corte)

A	B	S	Q _A	Q _B
0	0	1	OFF	OFF
0	1	0	OFF	Sat.
1	0	0	Sat.	OFF
1	1	0	Sat.	Sat.

NOR

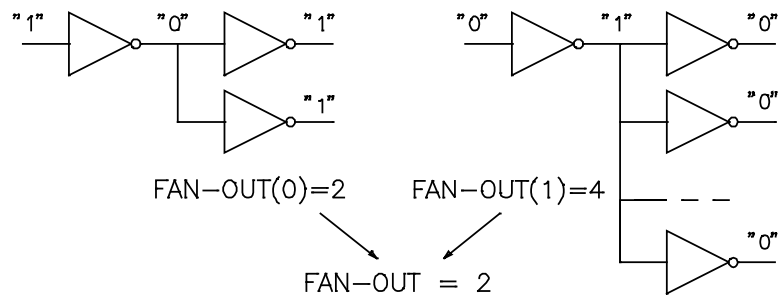


FAN-IN = 3

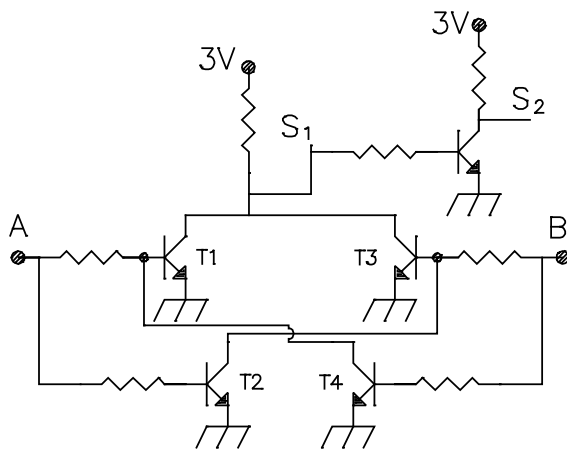
FAN-IN = Cargabilidad de entrada

FAN-IN = Número de entradas

FAN-OUT= Cargabilidad de salida
 FAN-OUT= Numero máximo de puertas similares
 que se pueden conectar a la salida.



Ejemplo RTL



A	B	T ₁	T ₂	T ₃	T ₄	S ₁	S ₂
0	0	OFF	OFF	OFF	OFF	1	0
0	1	OFF	OFF	Sat.	Sat.	0	1
1	0	Sat.	Sat.	OFF	OFF	0	1
1	1	OFF	Sat.	OFF	Sat.	1	0

(OFF=Corte)

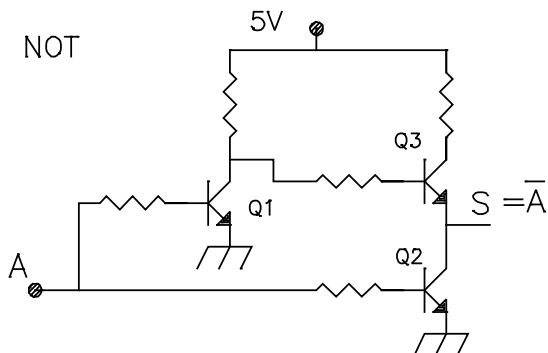
EJERCICIOS:

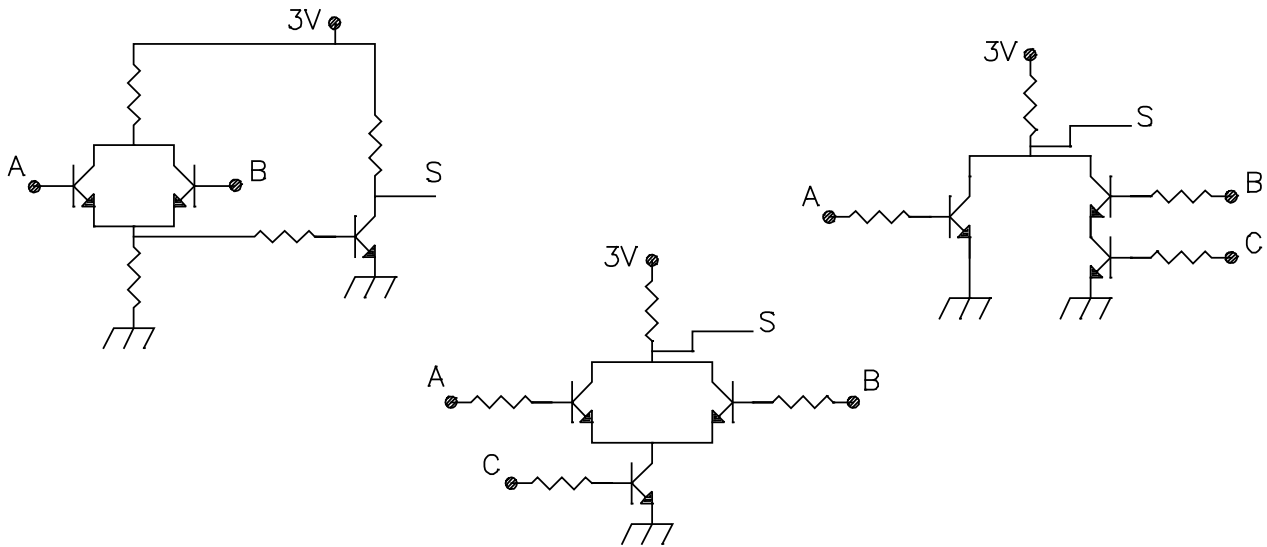
Averiguar la función lógica realizada por las siguientes puertas.

Puerta TOTEM-POLE

Aumenta el FAN-OUT hasta 25 (La RTL normal llega hasta FAN-OUT=10)

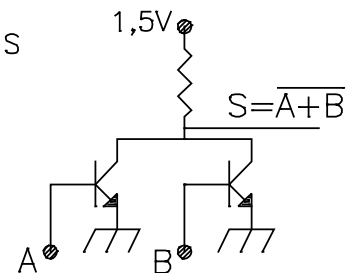
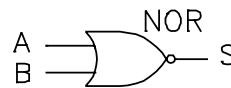
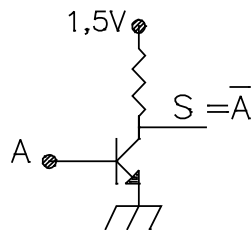
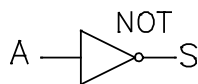
Con puertas totem-pole no hacer nunca Y-Conectada





DCTL

LOGICA de TRANSISTOR DIRECTAMENTE ACOPLADO

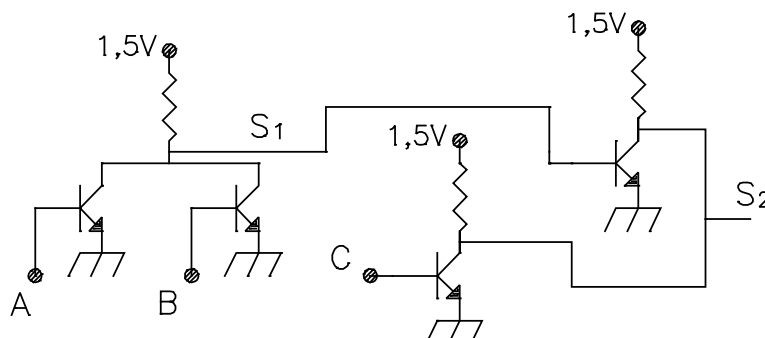


VENTAJAS:

- ⊕ Funcionan con pilas de bajo valor (p.ej. 1,5V). Esto implica consumo bajo.
- ⊕ De la DCTL se evolucionó hacia la IIL
- ⊕ No existe resistencia de base. Esto implica ahorro de espacio en el circuito integrado.

INCONVENIENTES:

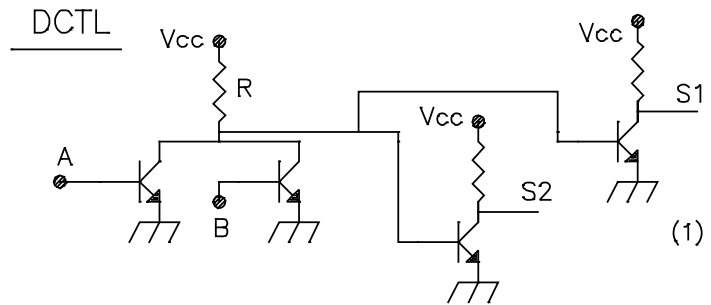
- ⊖ A temperaturas altas pueden dejar de funcionar, ya que la corriente inversa aumenta.
- ⊖ Los transistores están en fuerte saturación. Esto implica mucha carga almacenada en la base, lo que hace que no puedan pasar de saturación a corte hasta que desaparezca la carga de la base. (son puertas lentas)
- ⊖ Márgenes de ruido pequeños. Esto implica que pequeños ruidos pueden dar señales erróneas.
- ⊖ Si los transistores no son perfectamente iguales, un transistor puede llevarse casi toda la corriente.



IIL (I^2L, MTL)

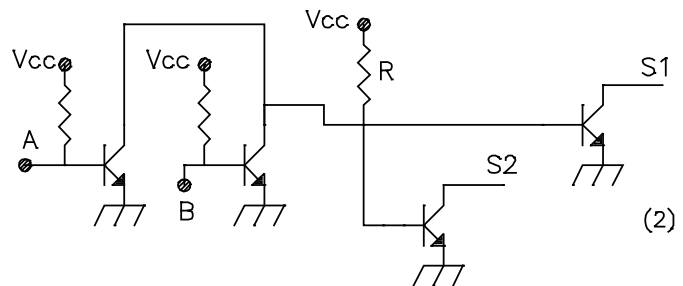
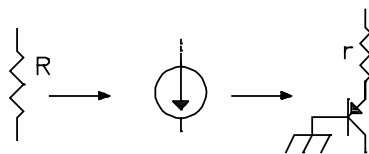
LOGICA de INYECCION INTEGRADA
(LOGICA de TRANSISTOR FUSIONADO)

Se va a construir el circuito lógico mostrado arriba (A y B entradas).
Se construye su versión DCTL (1)

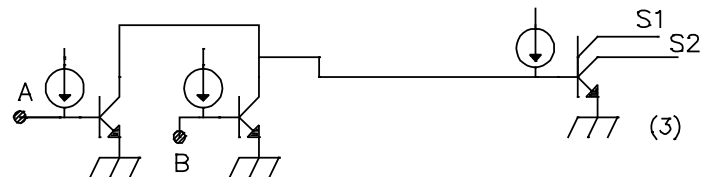


Se hacen avanzar las resistencias "R" a la siguiente etapa (2)

Se sustituyen las resistencias R por fuentes de intensidad. Estas pueden ser realizadas prácticamente con el siguiente circuito (transistor PNP, en serie con resistencia r pequeña)



Luego todas las resistencias r, son sustituidas por una sola resistencia r exterior. Regulando el valor de esta r exterior se puede controlar la relación entre la velocidad y el consumo de potencia de la puerta.

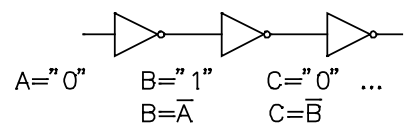
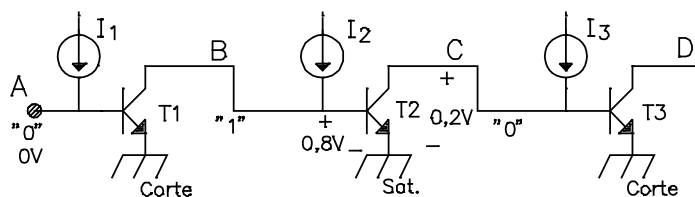


Finalmente se fusionan elementos comunes.

Todos los emisores están a tierra, se fusionan en un solo elemento.

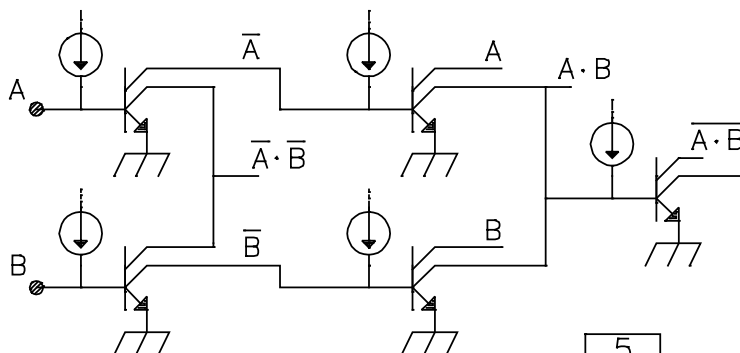
Las puertas IIL son aproximadamente 10 veces mas compactas que una puerta TTL
Consumo de IIL es aproximadamente 1000 veces menor que una puerta TTL similar.

Tres inversores IIL en cascada:



$A = "0" \Rightarrow T1 \text{ corte} \Rightarrow I2 \text{ a } T2 \Rightarrow T2 \text{ Sat.}$ $\begin{cases} V_{be}=0,8V \Rightarrow B = "1" (0,8V) \\ V_{ce}=0,2V \Rightarrow C = "0" (0,2V) \end{cases}$

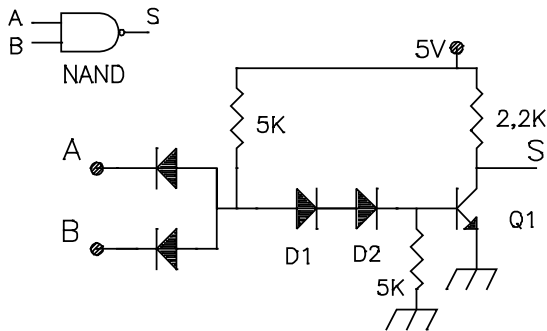
Ejemplo:



IIL admite la logica Y-Conectada.

DTL

LOGICA Diodo TRANSISTOR



A	B	D_A	D_B	D_1	D_2	Q_1	S
0	0	ON	ON	OFF	OFF	OFF	1
0	1	ON	OFF	OFF	OFF	OFF	1
1	0	OFF	ON	OFF	OFF	OFF	1
1	1	OFF	OFF	ON	ON	Sat.	0

NAND

Caso:
A="0"
B="1"

Con $V=0,7V$ es imposible polarizar los dos diodos D_1 y D_2 , por tanto están en OFF, y el transistor Q_1 está sin polarización de base $\Rightarrow Q_1$ en corte $\Rightarrow V_s=5V \Rightarrow S="1"$

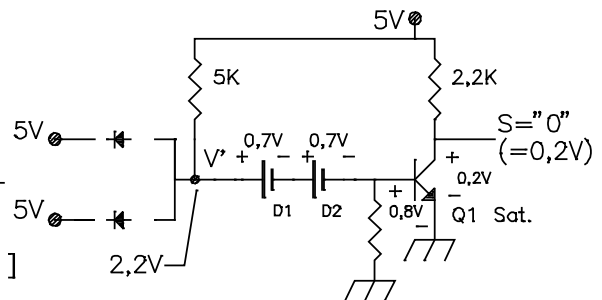
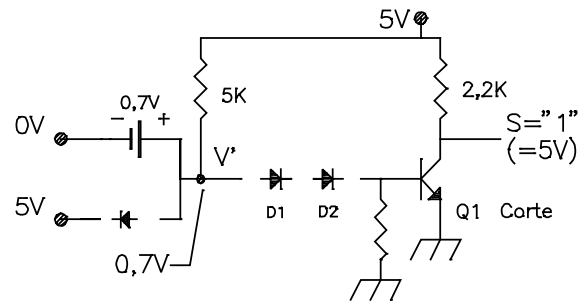
Caso A="1", B="0" es similar $\Rightarrow S="1"$

Caso A="0", B="0" es similar $\Rightarrow S="1"$

Caso:
A="1"
B="1"

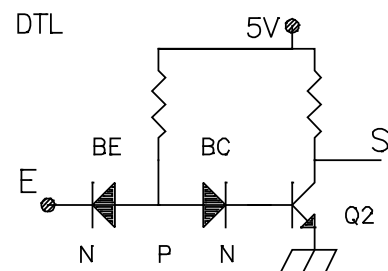
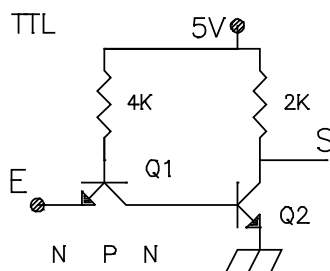
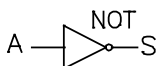
Ahora a D_1 ya D_2 le llegan 5V, por tanto los dos diodos estarán en ON, y el transistor pasa a Saturación (si el circuito ha sido bien diseñado)

[Diodos: $V_\gamma=0,7V$ BJT: $V_{BE-ZAD}=0,7V$ y $V_{BE-SAT}=0,8V$]



TTL

LOGICA TRANSISTOR TRANSISTOR



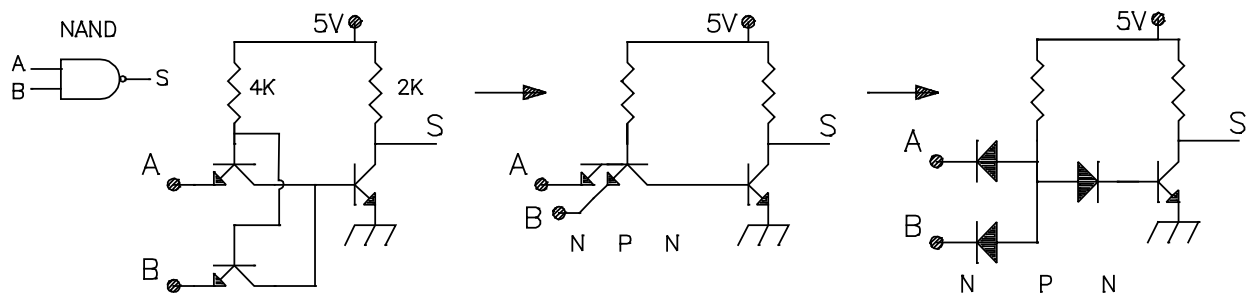
Si $E="1"$, el diodo BE está en OFF, y el diodo BC en conducción $\Rightarrow Q_1$ trabaja en ZAI. inyectando corriente a la base de Q_2 . Esta corriente se calibra para que Q_2 entre en saturación ($V_{CE}=0,2V$) $\Rightarrow S="0"$. En saturación Q_2 almacena gran cantidad de carga, y sólo puede pasar a corte si previamente desaparece esta carga almacenada en el transistor.

Si $E="0"$, el diodo BE está en ON y el diodo BC en corte $\Rightarrow Q_1$ trabaja en ZAD., extrayendo corriente de la base de Q_2 . En realidad Q_2 sólo trabajará en ZAD. mientras haya carga almacenada en Q_2 , cuando se agote dicha carga la intensidad de colector de Q_1 será 0, y por tanto Q_1 pasará a saturación ($I_c=0 < \beta \cdot I_b$).

E	D_{BE}	D_{BC}	Q_1	Q_2	S
0	ON	OFF	ZAD. \rightarrow Sat.	Corte	1
1	OFF	ON	ZAI.	Sat.	0

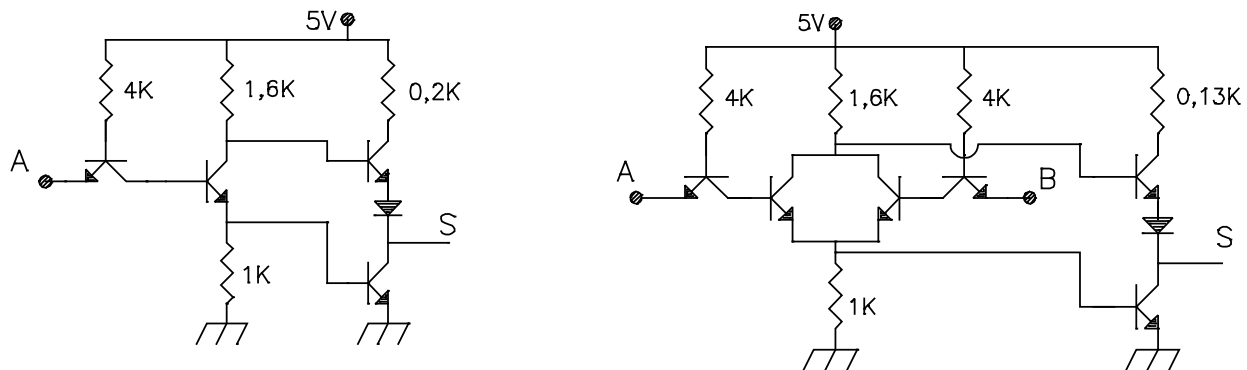
NOT

Gracias a la sustitución de los dos diodos por un transistor, las puertas TTL son notablemente más rápidas que las DTL.

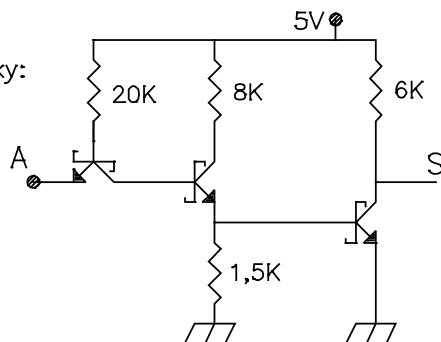


Puertas Totem-Pole:

Con puertas totem-pole no hacer nunca Y-Conectada



Puerta Schottky:



FAMILIAS COMERCIALES

Potencia (mW)	Retardo (ns)	Tabla comparativa de prestaciones	
10	10	74	TTL Standard
1	33	74L	TTL Low Power
20	3	74S	TTL Schottky
2	10	74LS	TTL Low Power Schottky
10	1,5	74AS	TTL Advanced Schottky
1	5	74ALS	TTL Advanced Schottky Low Power
25	1	10K	ECL
0,17	8	4000	CMOS (Metal-Gate)
0,1	50	74HC	CMOS (Silicon-Gate)

(En las CMOS, la potencia disipada es a 100kHz)

SPP=Speed-power product:

Figura de mérito que indica el balance general de prestaciones de una puerta lógica. SPP es el producto del tiempo de retardo de propagación y la disipación de potencia a una frecuencia de trabajo determinada.

p.ej. $SPP (74LS) = 10ns \cdot 2mW = 20pJ$

CMOS * Metal-Gate

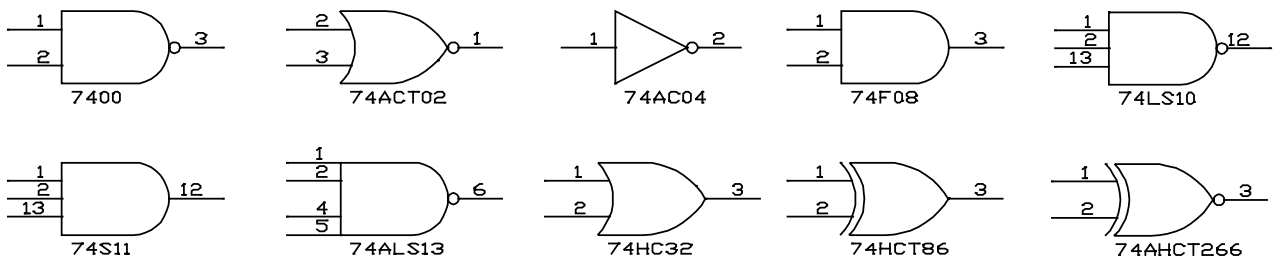
4000

CMOS * Silicon-Gate

- 74AC Advanced CMOS
- 74ACT Advanced CMOS
- 74HC High Speed CMOS
- 74HCT High Speed CMOS
- 74ACTQ Advanced CMOS Quiet
- 74BCT Bus-CMOS
- 74FCT Fast-CMOS
- 74LVX Low Voltage CMOS
- 74VHC Very High Speed CMOS
- 74VHCT Very High Speed CMOS

(• = Compatible eléctricamente con familias lógicas TTL)

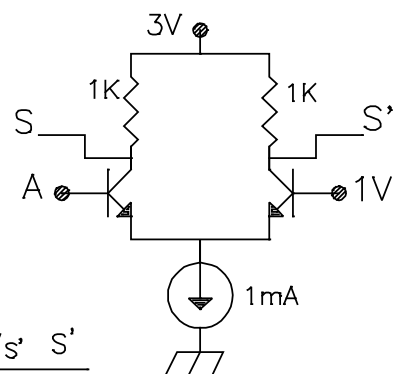
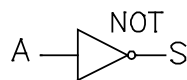
Ejemplos:



ECL (CML)

LOGICA de EMISOR ACOPLADO
(LOGICA de MODO CORRIENTE)

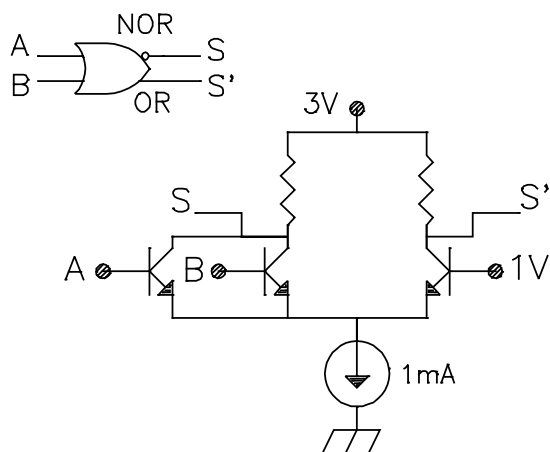
Puerta muy rápida,
puesto que los transistores
no entran en saturación
(conmutan entre ZAD. y Corte)



A	V _A	Conduce Rama	Transist.	V _S	S	V _{S'}	S'
"0"	0,5V	Dcha.	OFF ZAD.	3V	"1"	2V	"0"
"1"	1,5V	Izda.	ZAD. OFF	2V	"0"	3V	"1"

PECL="Positive-ECL"

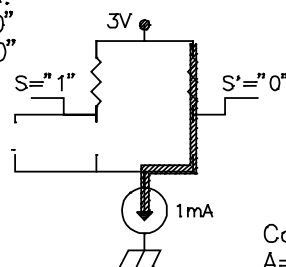
Normalmente las puertas ECL utilizan alimentación negativa, en cambio, en la PECL la alimentación es positiva.



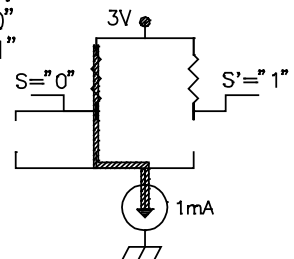
A	B	Q _A	Q _B	Q _{1V}	S	S'
0	0	OFF	OFF	ZAD.	1	0
0	1	OFF	ZAD.	OFF	0	1
1	0	ZAD.	OFF	OFF	0	1
1	1	ZAD.	ZAD.	OFF	0	1

NOR OR

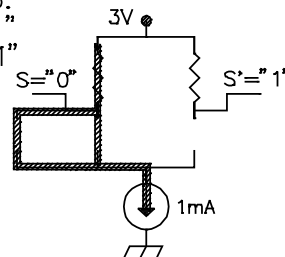
Caso:
A="0"
B="0"



Caso:
A="0"
B="1"



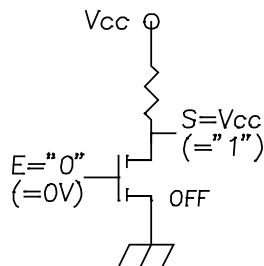
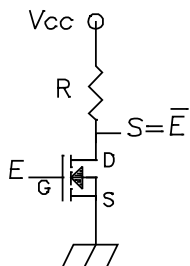
Caso:
A="1"
B="1"



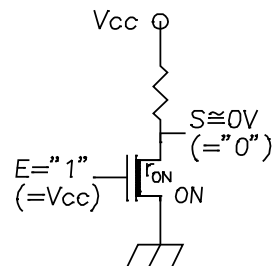
NMOS

MOSFET-CANAL N

NOT



(consume cero)



(consumo ≠ 0)

[$r_{ON} \ll R$ y $V_{CC} > V_T$]

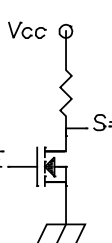
La resistencia en conducción del MOSFET (r_{ON}) debe ser mucho menor que la resistencia R. La alimentación (V_{CC}) debe ser mayor que la tensión umbral del MOSFET (V_T)

$E = "0"$ ($V_E = 0V$) $\Rightarrow V_{GS} = V_G - V_S = 0V < V_T \Rightarrow$ MOSFET en corte (OFF) $\Rightarrow V_S = V_{CC} \Rightarrow S = "1"$

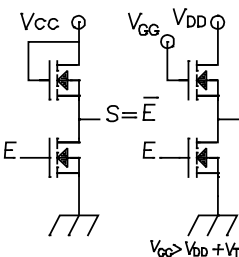
$E = "1"$ ($V_E = V_{CC}$) $\Rightarrow V_{GS} = V_{CC} > V_T \Rightarrow$ MOSFET en conducción (ON) $\Rightarrow V_S \approx 0V \Rightarrow S = "0"$

Habitualmente la resistencia R se sustituye por un MOSFET. De esta forma se disminuye el tamaño del circuito. Como resistencia de carga, puede emplearse un MOSFET de enriquecimiento, de empobrecimiento, o bien un MOSFET de canal P (llamado entonces CMOS-Pseudo-NMOS).

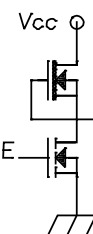
Puerta NOT NMOS con carga:



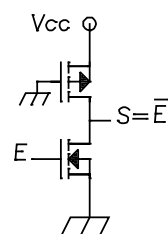
Enriquecimiento



Empobrecimiento

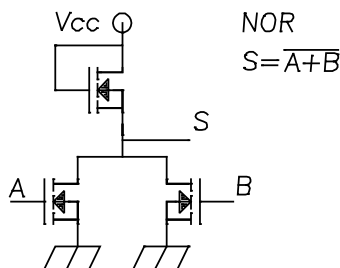


CMOS Pseudo-NMOS



Si una puerta NMOS ha sido bien diseñada:

Entrada "0" a un MOSFET lo pone en corte, y entrada "1" lo pone en conducción.



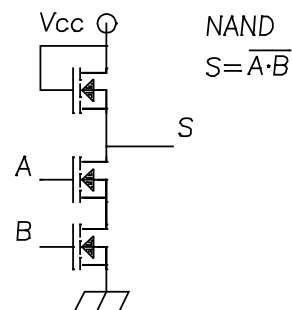
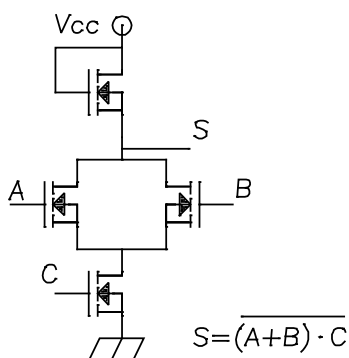
A	B	S	MA	MB
0	0	1	OFF	OFF
0	1	0	OFF	ON
1	0	0	ON	OFF
1	1	0	ON	ON

NOR

A	B	S	MA	MB
0	0	1	OFF	OFF
0	1	1	OFF	ON*
1	0	1	ON*	OFF
1	1	0	ON	ON

NAND

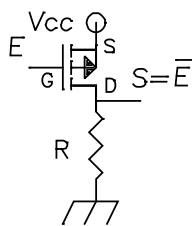
(ON* : En realidad esta en OFF)



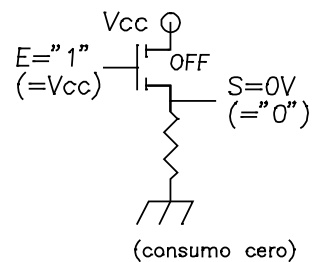
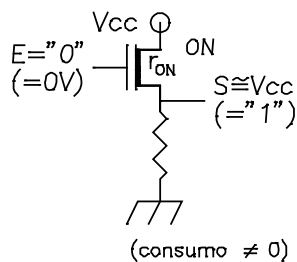
PMOS

MOSFET CANAL P

NOT



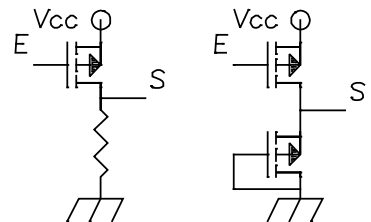
[$r_{ON} < R$ y $V_{CC} > V_T$]



$E = "0"$ ($V_E = 0V$) $\Rightarrow V_{SG} = V_S - V_G = V_{CC} > V_T \Rightarrow$ MOSFET en conducción (ON) $\Rightarrow V_S \cong V_{CC} \Rightarrow S = "1"$

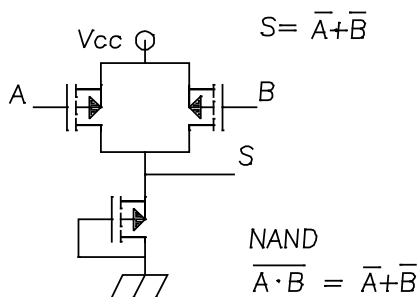
$E = "1"$ ($V_E = V_{CC}$) $\Rightarrow V_{SG} = V_{CC} - V_{CC} = 0V < V_T \Rightarrow$ MOSFET en corte (OFF) $\Rightarrow V_S = 0V \Rightarrow S = "0"$

La resistencia R se sustituye por un MOSFET de canal P en Saturación.



Si una puerta PMOS ha sido bien diseñada:

Entrada "0" a un MOSFET lo pone en conducción, y entrada "1" lo pone en corte.



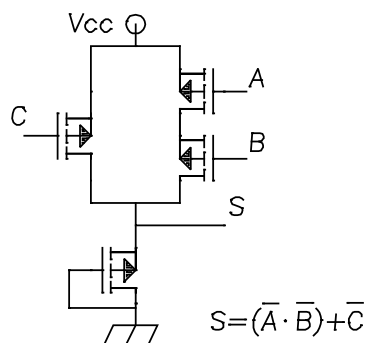
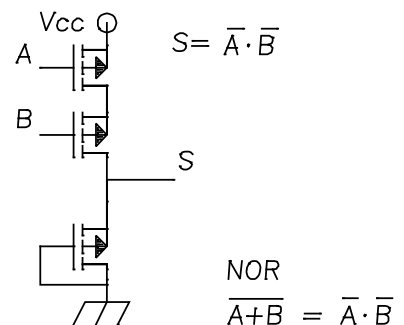
A	B	S	M _A	M _B
0	0	1	ON	ON
0	1	1	ON	OFF
1	0	1	OFF	ON
1	1	0	OFF	OFF

NAND

A	B	S	M _A	M _B
0	0	1	ON	ON
0	1	0	ON*	OFF
1	0	0	OFF	ON*
1	1	0	OFF	OFF

NOR

(ON* : En realidad esta en OFF)



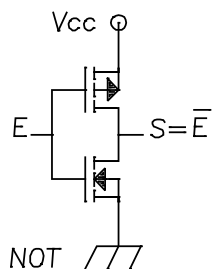
Nota:

Los sustratos de MOSFET de canal N deben conectarse a la tensión más negativa del circuito (a tierra)

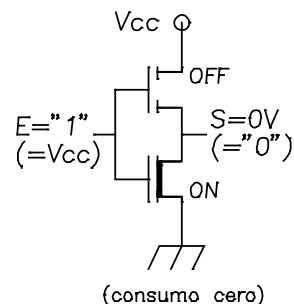
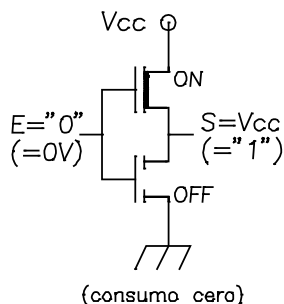
Los sustratos de MOSFET de canal P deben conectarse a la tensión más positiva del circuito (a Vcc)

CMOS

////////////////////
MOSFET-COMPLEMENTARIO



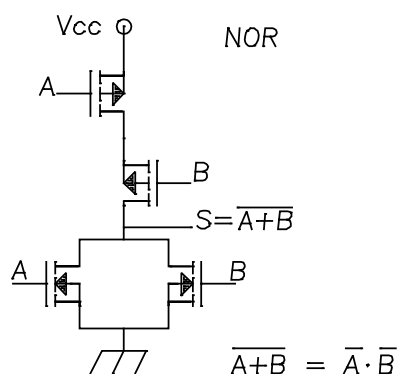
$E = "0"$	$(V_E = 0V) \Rightarrow$	<table><tr><td>MOSFET</td><td>P</td><td>ON</td></tr><tr><td>MOSFET</td><td>N</td><td>OFF</td></tr></table>	MOSFET	P	ON	MOSFET	N	OFF	$\Rightarrow V_S = V_{CC} \Rightarrow S = "1"$
MOSFET	P	ON							
MOSFET	N	OFF							
$E = "1"$	$(V_E = V_{CC}) \Rightarrow$	<table><tr><td>MOSFET</td><td>P</td><td>OFF</td></tr><tr><td>MOSFET</td><td>N</td><td>ON</td></tr></table>	MOSFET	P	OFF	MOSFET	N	ON	$\Rightarrow V_S = 0V \Rightarrow S = "0"$
MOSFET	P	OFF							
MOSFET	N	ON							



⊕ Consumo mucho menor que en la NMOS o en la PMOS, y por tanto menor aún que en las familias lógicas bipolares.

⊖ Ocupa más espacio en el circuito integrado (especialmente para puertas complejas).

El consumo estático es prácticamente nulo.
El consumo aumenta con la frecuencia de trabajo.

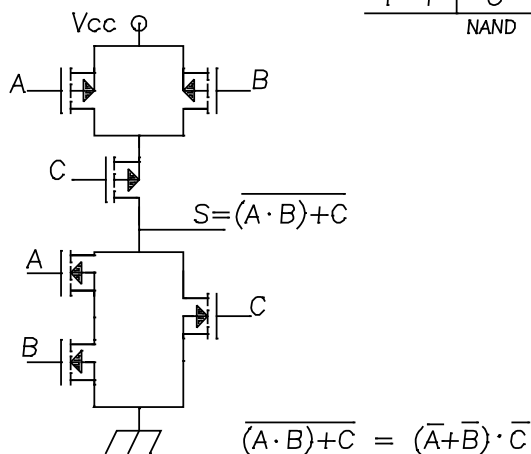
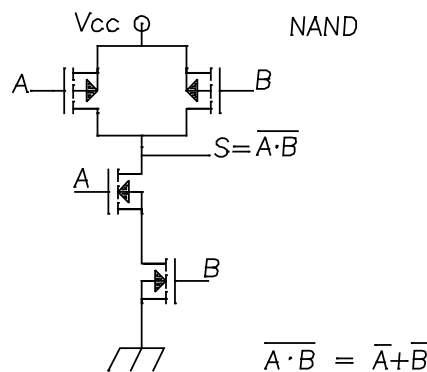


A	B	S	M _{AP}	M _{AN}	M _{BP}	M _{BN}
0	0	1	ON	OFF	ON	OFF
0	1	0	ON	OFF	OFF	ON
1	0	0	OFF	ON	ON	OFF
1	1	0	OFF	ON	OFF	ON

NOR

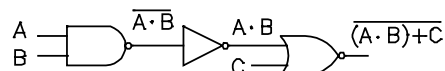
A	B	S	M _{AP}	M _{AN}	M _{BP}	M _{BN}
0	0	1	ON	OFF	ON	OFF
0	1	1	ON	OFF	OFF	ON
1	0	1	OFF	ON	ON	OFF
1	1	0	OFF	ON	OFF	ON

NAND



A	B	C	S	M _{AP}	M _{AN}	M _{BP}	M _{BN}	M _{CP}	M _{CN}
0	0	0	1	ON	OFF	ON	OFF	ON	OFF
0	0	1	0	ON	OFF	ON	OFF	OFF	ON
0	1	0	1	ON	OFF	OFF	ON	ON	OFF
0	1	1	0	ON	OFF	OFF	ON	OFF	ON
1	0	0	1	OFF	ON	ON	OFF	ON	OFF
1	0	1	0	OFF	ON	ON	OFF	OFF	ON
1	1	0	0	OFF	ON	OFF	ON	ON	OFF
1	1	1	0	OFF	ON	OFF	ON	OFF	ON

También se puede realizar la misma función lógica combinando puertas NAND, NOR y NOT de tipo CMOS.



PTL

LOGICA de TRANSISTORES de PASO
(REDES de PASO)

Como conmutadores se utilizan interruptores CMOS.

Por simplicidad, en los esquemas utilizaremos transistores NMOS.

Una puerta PTL que genera una función lógica y su complementaria se llama CPL (Lógica de Paso Complementaria)

Conmutador NMOS:

"0" \Rightarrow OFF

"1" \Rightarrow ON

A	B	S ₁	S ₂	S ₃	S ₄	S ₅	S ₆
0	0	0	1	0	1	0	1
0	1	0	1	1	0	1	0
1	0	0	1	1	0	1	0
1	1	1	0	1	0	0	1
		AND	NAND	OR	NOR	XOR	EQV

$$S_1 = A B + \bar{A} 0 = A \cdot B$$

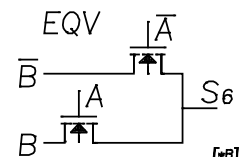
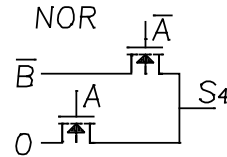
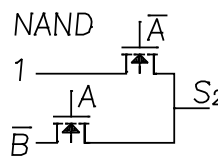
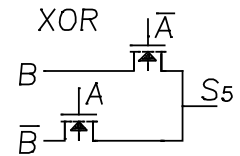
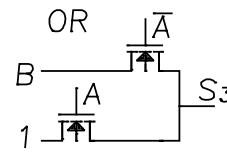
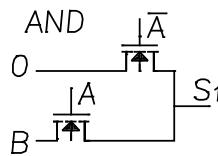
$$S_2 = A \bar{B} + \bar{A} 1 = \overline{A \cdot B}$$

$$S_3 = A 1 + \bar{A} B = A + B$$

$$S_4 = A 0 + \bar{A} \bar{B} = \overline{A + B}$$

$$S_5 = A \bar{B} + \bar{A} B$$

$$S_6 = A B + \bar{A} \bar{B}$$



EJEMPLO:

A	B	C	S ₁	S ₂	S ₃	S ₄
0	0	0	0	0	0	0
0	0	1	1	0	0	1
0	1	0	1	0	0	1
0	1	1	1	0	0	0
1	0	0	0	0	0	1
1	0	1	0	1	1	1
1	1	0	1	0	1	1
1	1	1	0	1	1	0

Para conseguir

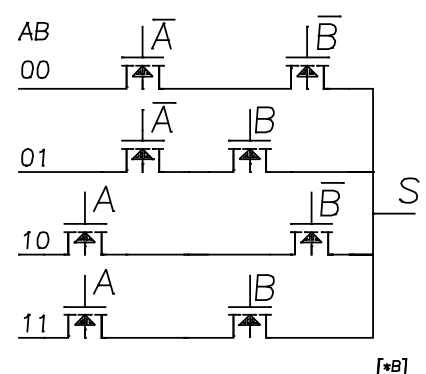
S₁ S₂ S₃
las entradas serán:

C 0 0

1 0 0

0 C C

C C 1



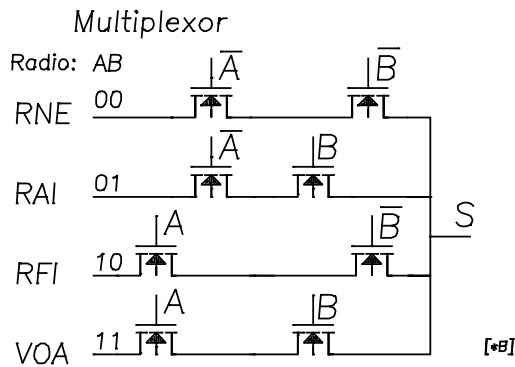
EJERCICIO:

Diseñar circuitos PTL que realicen las funciones lógicas S₁, S₂, S₃ y S₄ con el número mínimo de conmutadores. (Necesitarán 6, 2, 4 y 6 respectivamente.)

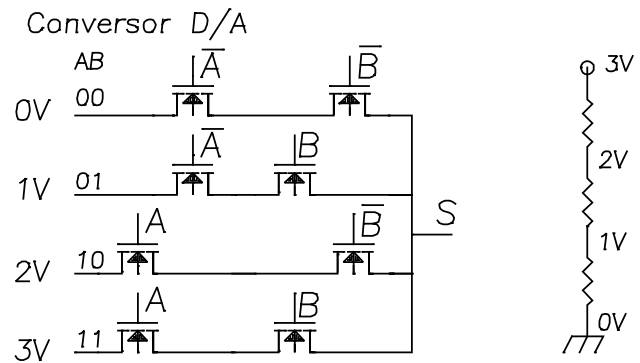
EJEMPLO:

En el siguiente ejemplo se tiene una red de paso en función de multiplexor (izda.) o en función de conversor digital-analógico (dcha.).

En el multiplexor la palabra digital AB selecciona en S uno de los cuatro canales de radio.

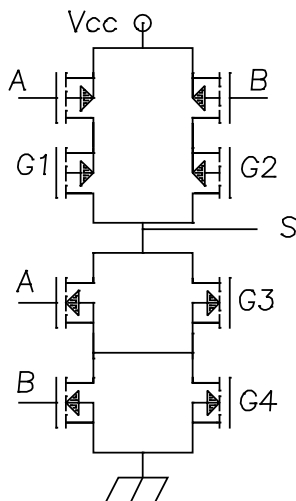


En el conversor D/A la palabra digital AB, proporciona en S, la tensión analógica correspondiente. Las tensiones analógicas se pueden conseguir con un partidor de tensión como el de la figura.



EECMOS

CMOS PROGRAMABLE ELECTRICAMENTE

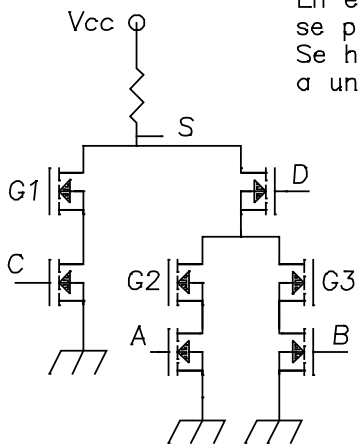


Utiliza transistores Mosfet de puerta flotante (G).

Mediante una inyección de carga puede controlarse de forma permanente el estado de conducción (On/Off) del Mosfet.

Como puede observarse en el ejemplo, según el estado de los transistores G, se realizará en S una función u otra.

Si	G1	G2	G3	G4	S=
	0	0	0	0	$\overline{A \cdot B}$
	0	1	0	1	\overline{A}
	1	0	1	0	\overline{B}

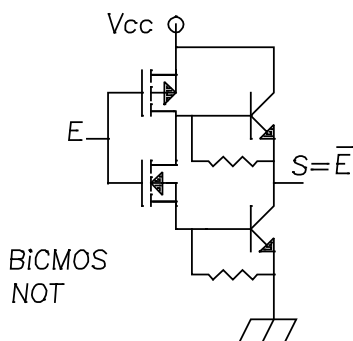


En este circuito se muestra la variedad de funciones lógicas que se pueden obtener, en función del estado de los transistores G. Se ha elaborado con el mismo método que la EECMOS, pero aplicado a una puerta NMOS (por simplicidad).

G1	G2	G3	S=
0	0	0	1
1	0	0	\overline{C}
0	1	0	$\overline{A \cdot D}$
0	0	1	$\overline{B \cdot D}$
0	1	1	$\overline{D \cdot (A+B)}$
1	0	1	$\overline{C+B \cdot D}$
1	1	0	$\overline{C+D \cdot A}$
1	1	1	$\overline{C+D \cdot (A+B)}$

BiCMOS

////////////////////



En las puertas CMOS, puede modificarse la etapa de salida. Se añaden transistores bipolares que facilitan una carga y descarga más rápida de la capacidad de la siguiente etapa, mientras preservan la baja disipación de potencia en reposo.

CMOS Dinámica

////////////////////////////////////

LOGICA de TEMPORIZACION CMOS

Elimina casi la mitad de los transistores (los PMOS) de la familia CMOS estática.

Con CLK=0 ("precarga") C_L se carga a "1".

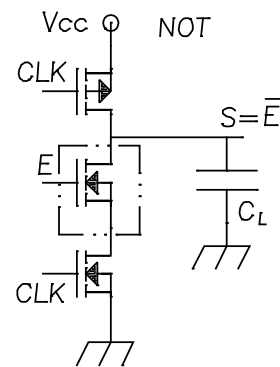
Con CLK=1 se produce la evaluación de la función lógica

VENTAJAS:

- ⊕ Menor espacio en el circuito integrado
- ⊕ Menor capacidad de entrada \Rightarrow Mayor velocidad
- ⊕ Potencia estática casi nula

INCONVENIENTES:

- ⊖ Necesita circuitería de reloj
- ⊖ Necesita algún añadido frente al circuito de la figura
- ⊖ Necesita "refrescos" periódicos, ya que la carga se fuga por las capacidades parásitas
- ⊖ La corriente de fuga se duplica cada 10°C
- ⊖ Menor robustez que en la CMOS estática



CMOS Dinámica

